

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-175725

(43)公開日 平成7年(1995)7月14日

(51)Int.Cl.  
G 0 6 F 12/14  
G 0 6 K 17/00

識別記号 320 C  
府内整理番号 T

F I

技術表示箇所

審査請求 未請求 請求項の数11 FD (全 13 頁)

(21)出願番号 特願平6-290397  
(22)出願日 平成6年(1994)10月31日  
(31)優先権主張番号 特願平5-299034  
(32)優先日 平5(1993)11月4日  
(33)優先権主張国 日本 (JP)

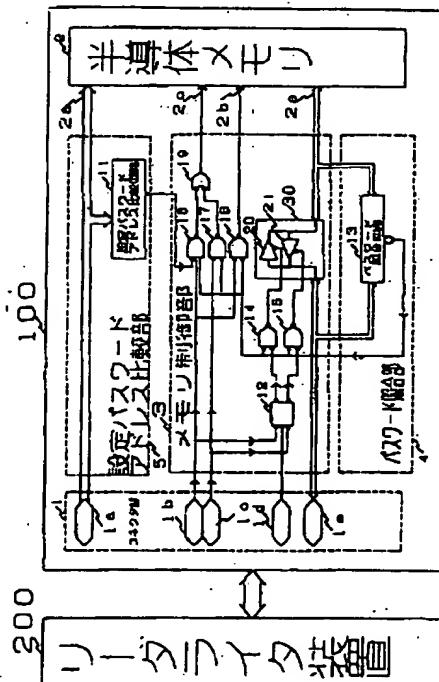
(71)出願人 000005810  
日立マクセル株式会社  
大阪府茨木市丑寅1丁目1番88号  
(72)発明者 松尾 雄三  
大阪府茨木市丑寅一丁目1番88号 日立マ  
クセル株式会社内  
(72)発明者 鈴木 恵吾  
大阪府茨木市丑寅一丁目1番88号 日立マ  
クセル株式会社内  
(74)代理人 弁理士 吉村 雅志

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 簡単、小型、安価な回路手段で、パスワードを使用したデータの書き込み及び読み出しの保護を実現し、記憶データの機密保守、記憶データの破壊の防止を可能とした大記憶容量でコンパクトな半導体記憶装置を安価に提供する。

【構成】 半導体メモリと、コネクタ部と、メモリ制御部とからなる半導体記憶装置において、前記半導体メモリは設定パスワード記憶領域を有し、アドレス信号が設定パスワード記憶領域を指している場合にメモリ制御部に一致信号を出力する設定パスワードアドレス比較部と、入力と設定のパスワードが一致した場合前記メモリ制御部へ一致信号を出力するパスワード照合部とを有し、前記メモリ制御部は設定パスワードアドレス比較部からの一致信号を受けた場合設定パスワードを読み出しパスワード照合部に出力し、パスワード照合部からの一致信号を受けるまで前記半導体メモリへのアクセスを禁止するように構成した。



## 【特許請求の範囲】

【請求項1】 各種データを記憶する半導体メモリと、リーダライタ装置と結合するためのコネクタ部と、前記コネクタ部を介して入力されたリーダライタ装置からの指示に従って前記半導体メモリ内のデータの読みだしおよび前記半導体メモリ内へのデータの書き込みを制御するメモリ制御部とからなる半導体記憶装置において、前記半導体記憶装置は前記コネクタ部から入力されたアドレス信号が設定パスワード記憶領域を指している場合にメモリ制御部に一致信号を出力する設定パスワードアドレス比較部と、

前記メモリ制御部から出力された設定パスワードと前記コネクタ部から入力された入力パスワードが一致した場合前記メモリ制御部へ一致信号を出力するパスワード照合部とを有し、

前記半導体メモリは設定パスワードが書き込まれている設定パスワード記憶領域を有し、

前記メモリ制御部は設定パスワードアドレス比較部からの一致信号を受けた場合前記半導体メモリの設定パスワード記憶領域から設定パスワードを読み出しパスワード照合部に出力し、パスワード照合部からの一致信号を受けるまで前記半導体メモリへのアクセスを禁止することを特徴とする半導体記憶装置。

【請求項2】 請求項1記載において、

前記半導体メモリは、前記コネクタ部からの書き込み制御信号を受けるとデータの書き込みが可能であり、読みだし制御信号を受けるとデータの読みだしが可能であり、

前記メモリ制御部は設定パスワードアドレス比較回路からの一致信号を受けた場合、コネクタ部からの書き込み制御信号を読みだし制御信号に変換して前記半導体メモリの設定パスワード記憶領域から設定パスワードを読み出しパスワード照合部に出力することを特徴とする半導体記憶装置。

【請求項3】 請求項1記載において、

前記半導体記憶装置は、前記コネクタ部から入力されたアドレス信号が選択情報記憶領域を指している場合にメモリ制御部に一致信号を出力する選択情報アドレス比較部を有し、

前記半導体メモリは標準モードとパスワード照合モードのいずれかを指示する選択情報が書き込まれている選択情報記憶領域を有し、

前記メモリ制御部は前記選択情報アドレス比較部からの一致信号を受けた場合に該選択情報を参照し、標準モードである場合前記半導体メモリへのアクセス禁止を解除することを特徴とする半導体記憶装置。

【請求項4】 請求項3において、前記選択情報記憶領域を前記半導体メモリのアドレス「0(H)」番地または、アドレス「0(H)」番地から始まる無効データの次のアドレスにもつことを特徴とする半導体記憶装置。

【請求項5】 請求項4において、前記半導体メモリの前記選択情報記憶領域の内容を1バイトで表し、標準モードはデータ「00(H)」、データ「01(H)」またはデータ「FF(H)」のいずれかとし、パスワード照合モードはデータ「00(H)」、データ「01(H)」およびデータ「FF(H)」以外のいずれかとすることを特徴とする半導体記憶装置。

【請求項6】 請求項1において、前記パスワード照合部の照合結果により、半導体メモリ2の書き込みまたは読み出し禁止状態を解除した後は、前記半導体メモリ2に書き込まれている設定パスワードの変更および読み出しが自由にできることを特徴とした半導体記憶装置。

【請求項7】 請求項1において、前記パスワード照合部に照合回数を数えるカウンタ手段を付加し、一定回数以上の照合動作を行なった場合は、それ以後設定パスワードと入力パスワードが一致しても、前記メモリ制御部に特定信号を出力しないことを特徴とした半導体記憶装置。

【請求項8】 請求項1において、前記半導体メモリの一部分または全部を電池でバックアップした揮発性メモリとし、この電池をはずすことで、揮発性メモリのデータ内容は消えるが、同時に半導体メモリ2の書き込みまたは外部への読み出し禁止状態をも解除できることを特徴とした半導体記憶装置。

【請求項9】 請求項1項において、前記半導体メモリはフラッシュメモリであって、前記半導体記憶装置はさらにリセットコマンド比較回路とリセット回路とを備え、上記リセットコマンド比較回路はリーダライタから入力されたコマンドが所定のリセットコマンドと一致した場合に一致信号を出力し、上記リセット回路は上記一致信号の出力で上記半導体メモリの記憶内容をリセットすることを特徴とする半導体記憶装置。

【請求項10】 各種データを記憶する半導体メモリと、リーダライタ装置と結合するためのコネクタ部と、リーダライタ装置に対して前記半導体メモリに対するデータの読み書きを許可する許可モードと、リーダライタ装置に対して前記半導体メモリに対するデータの読み書きを禁止する禁止モードとを有し、前記コネクタ部を介して入力された前記リーダライタ装置からの指示に従って前記半導体メモリ内への書き込みを制御するメモリ制御部とから構成される半導体記憶装置において、

前記半導体メモリにはフラグが記憶され、前記メモリ制御部は、外部から電力が供給された際に常に禁止モードであり、リーダライタ装置から前記コネクタ部を介して前記フラグの読みだし指示が入力され、かつ、前記フラグが所定値である場合に許可モードに移行することを特徴とする半導体記憶装置。

【請求項11】 各種データを記憶する半導体メモリと、リーダライタ装置と結合するためのコネクタ部と、前記コネクタ部を介して入力されたリーダライタ装置か

らの指示に従って前記半導体メモリ内のデータの読みだしおよび前記半導体メモリ内へのデータの書き込みを制御するメモリ制御部とからなる半導体記憶装置において、

前記半導体記憶装置は、前記コネクタ部から入力されたアドレス信号が選択情報記憶領域を指している場合にメモリ制御部に一致信号を出力する選択情報アドレス比較部を有し、

前記半導体メモリは選択情報が書き込まれている選択情報記憶領域を有し、

前記メモリ制御部は選択情報アドレス比較部からの一致信号を受けた場合前記半導体メモリの選択情報記憶領域から選択情報を読み出し、該選択情報が所定値である場合にのみ、半導体メモリ内のデータの読みだしおよび前記半導体メモリ内へのデータの書き込みを可能とすることを特徴とする半導体記憶装置

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、コンピュータ等の補助記憶装置として使用する半導体記憶装置に係わり、特にパスワードを使用して、半導体メモリの書き込みおよび読み出しを禁止する手段に関する。

【0002】

【従来の技術】コンピュータなどの補助記憶装置として半導体記憶素子を搭載したICカードが使用されている。このICカードにはCPUを搭載したものとメモリ素子だけを搭載した半導体記憶装置であるメモリカードがある。

【0003】メモリカードはコンパクトで記憶容量が大きいと言うメリットがあるが、メモリカード内のデータをだれでも読みだすことができるため、秘密保護の点で問題があり、まただれでも書き込むことができることから、一旦書き込まれたデータが誤って消去されたり、上書きされたりする恐れがあった。

【0004】一方、ICカードはカード本体にマイクロプロセッサと半導体メモリを内蔵しており、予めパスワードを記憶しておき外部から入力されたデータと一致したときのみICカードでのデータの書き込み或いは読みだしを可能とするものである。

【0005】そこで、上記メモリカードにおける問題点を解消するために、メモリカードにマイクロプロセッサを搭載してパスワードの照合を行なわせることが可能である。しかし、この場合マイクロプロセッサはパスワードの照合しか行なわないため、マイクロプロセッサを有効に使用しているとは言えず、コストパフォーマンスが非常に低い。また、一般的にメモリカードは、できるだけコンパクトで、しかも記憶容量が大きいことが必要である。このため、メモリカードにマイクロプロセッサを搭載すれば、当然半導体メモリの搭載スペースが減り、コンパクト化、大容量化に対し不利になる。その

上、マイクロプロセッサを搭載すると、これを動作させるためのプログラム等を記憶させるための半導体メモリも必要になり、さらに不利となる。

【0006】

【発明が解決しようとする課題】本発明は上述した従来技術の欠点に鑑みてなされたものであって、その第1の目的はマイコンを有しないわゆるメモリカードにおいて、内部にマイコンを有するICカードと同様にデータ保護の機能を持たせることを目的とする。

10 【0007】また、本発明の第2の目的は、簡単な回路を付加するだけで、パスワードを使用して、半導体メモリの書き込みおよび読み出しができる半導体記憶装置を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するため本発明は、各種データを記憶する半導体メモリと、リーダライタ装置と結合するためのコネクタ部と、前記コネクタ部を介して入力されたリーダライタ装置からの指示に従って前記半導体メモリ内への書き込みを制御するメモリ制御部とから構成される半導体記憶装置であって、前記メモリ制御部は前記リーダライタ装置に対して、前記半導体メモリに対するデータの読み書きを許可する許可モードと前記リーダライタ装置に対して前記半導体メモリに対するデータの読み書きを禁止する禁止モードとを有し、前記半導体メモリにはフラグが記憶され、前記メモリ制御部は、外部から電力が供給された際常に禁止モードであり、リーダライタ装置から前記コネクタ部を介して前記フラグの読みだし指示が入力され、かつ、前記フラグが所定値である場合に許可モードに移行することを要旨とするものである。

30 【0009】上記目的を達成するために本発明は、各種データを記憶する半導体メモリと、リーダライタ装置と結合するためのコネクタ部と、前記コネクタ部を介して入力されたリーダライタ装置からの指示に従って前記半導体メモリ内のデータの読みだしおよび前記半導体メモリ内へのデータの書き込みを制御するメモリ制御部とからなる半導体記憶装置において、前記半導体メモリは設定パスワードが書き込まれている設定パスワード記憶領域を有し、前記コネクタ部から入力されたアドレス信号が設定パスワード記憶領域を指している場合にメモリ制御部に特定信号を出力する設定パスワードアドレス比較部と、前記メモリ制御部から出力された設定パスワードと前記コネクタ部から入力された入力パスワードが一致した場合前記メモリ制御部へ特定信号を出力するパスワード照合部とを有し、前記メモリ制御部は設定パスワードアドレス比較回路からの特定信号を受けた場合前記半導体メモリの設定パスワード記憶領域から設定パスワードを読み出しパスワード照合部に出力し、パスワード照合回路からの特定信号を受けるまで前記半導体メモリへのアクセスを禁止することを要旨とするものである。

40 【0010】上記目的を達成するために本発明は、各種データを記憶する半導体メモリと、リーダライタ装置と結合するためのコネクタ部と、前記コネクタ部を介して入力されたリーダライタ装置からの指示に従って前記半導体メモリ内のデータの読みだしおよび前記半導体メモリ内へのデータの書き込みを制御するメモリ制御部とからなる半導体記憶装置において、前記半導体メモリは設定パスワードが書き込まれている設定パスワード記憶領域を有し、前記コネクタ部から入力されたアドレス信号が設定パスワード記憶領域を指している場合にメモリ制御部に特定信号を出力する設定パスワードアドレス比較部と、前記メモリ制御部から出力された設定パスワードと前記コネクタ部から入力された入力パスワードが一致した場合前記メモリ制御部へ特定信号を出力するパスワード照合部とを有し、前記メモリ制御部は設定パスワードアドレス比較回路からの特定信号を受けた場合前記半導体メモリの設定パスワード記憶領域から設定パスワードを読み出しパスワード照合部に出力し、パスワード照合回路からの特定信号を受けるまで前記半導体メモリへのアクセスを禁止することを要旨とするものである。

## 【0010】

【作用】このような構成によれば、半導体記憶装置がリーダライタ装置に接続された状態で電源が投入されるとメモリ制御部は半導体メモリへのアクセスが禁止される禁止モードにあり、リーダライタ装置から半導体メモリに記憶されるフラグの読み出し指示が入力され、そのフラグが所定値である場合許可モードに移行し、それ以外の場合禁止モードが継続する。

【0011】また、半導体記憶装置がリーダライタ装置に接続された状態で電源が投入されるとメモリ制御部が半導体メモリへのアクセスを禁止し、リーダライタ装置から設定パスワード記憶領域のアドレスと入力パスワードが入力されると、設定パスワードアドレス比較部からの一致信号に基づきメモリ制御部が半導体メモリから設定パスワードを読みだし、パスワード照合部に出力し、パスワード照合部において入力パスワードとの一致を判定すると、パスワード照合部からの一致信号にもとづきメモリ制御部が半導体メモリへのアクセス禁止を解除する。

## 【0012】

【実施例】以下、本発明の実施例を図面によって説明する。図1は本発明によるメモリカード100の第一の実施例を示す回路図である。この図は見やすくするために、一部の回路は、ブロックで示し、電源、グランド等は省略している。図1の1はコネクタ部、2は半導体メモリ、3はメモリ制御部、4はパスワード照合部、5は設定パスワードアドレス比較部である。

【0013】コネクタ部1は、該メモリカード100とこのリーダライタ装置200とを結合させるものであり、外部からアドレス信号をうける端子1a、データ信号のやりとりを行なう端子1e、書き込み用制御信号をうける端子1b、読み出し用制御信号をうける端子1c、書き込み読み出し用以外の制御信号をうける端子1d等から成る。尚、本発明を非接触式メモリカードに適用した場合、上記端子は、コイル或いは送光・受光手段等から構成される。

【0014】半導体メモリ2は、揮発性、不揮発性のいずれでもよく、また、2aはアドレス信号をうける端子、2eはデータ信号をやりとりする端子、2cは読み出し用制御信号をうける端子（この説明ではL<sub>o</sub>w信号で読み出すこととする）、2bは書き込み用制御信号をうける端子（この説明ではL<sub>o</sub>w信号で書き込むこととする）である。この半導体メモリ2は、図4に示すように設定パスワードを書き込む設定パスワード記憶領域201、データを記憶するデータ記憶領域202から構成され、設定パスワード記憶領域201には、あらかじめ設定パスワードが書かれている。

【0015】メモリ制御部3は、外部からの書き込み用および読み出し用等の制御信号を受けてデータ信号の出入力を制御する入出力制御回路12と、ゲート14～2

1から構成されている。

【0016】設定パスワードアドレス比較部5は外部から入力されたアドレスと半導体メモリ2内の設定パスワード記憶領域201のアドレスとを比較し一致した場合にL<sub>o</sub>w信号を出力し、一致しない場合にH<sub>i</sub>gh信号を出力する設定パスワードアドレス比較回路11から構成される。

【0017】設定パスワードアドレス比較回路11の一実施例を図2にしめす。パスワードアドレス比較回路1

10 1の入力であるアドレス信号1aはバスであり、その構成要素を1a(A0), 1a(A1)～1a(Ax)とする。1a(A0), 1a(A1)～1a(Ax)は、ORゲート301～ゲート30xに入力されている。またこの図では設定パスワードアドレスを'00(H)'番地とし、ORゲート301～ゲート30xの片方の入力をGND(グランド)としている。設定パスワードアドレスが'00(H)'番地以外の時は、これらのゲートの入力を設定パスワードアドレスに従って変えれば良いということは言うまでもない。ゲート311の出力が、  
20 パスワードアドレス比較回路11の出力となる。

【0018】パスワード照合部4は、外部からデータ信号を通して入力される入力パスワードと半導体メモリ2から出力された設定パスワードを比較し、一致した場合にはそれ以後L<sub>o</sub>w信号を出力し、一致しない場合にはH<sub>i</sub>gh信号を出力するパスワード照合回路13から構成される。

【0019】パスワード照合回路13の一実施例を図3(a)に示す。1e(D0)～1e(D7)は、パスワード照合回路13のコネクタ部1からのデータ信号1eを構成している各データ信号であり、2e(D0)～2e(D7)は、半導体メモリ2からのデータ信号2eを構成している各データ信号である。これらの信号をゲート401～ゲート408の入力とし、これらのゲートの出力をゲート411の入力にすることにより、データの照合がなされる。

30 【0020】ゲート412～ゲート415及びコンデンサ417、抵抗416で構成される回路は、パスワードの照合結果であるゲート411の信号を電源遮断時即ち、メモリカード抜去まで、維持するための回路である。抵抗416の一端は、図示しないコネクタ部1のリーダライタ装置から電源の供給をうける電源端子に接続され、コンデンサ417の一端はグランドに接続されている。

【0021】コンデンサ417、抵抗416はメモリカードのリーダライタ装着時に一時的にゲート413にL<sub>o</sub>w信号を出力し、その後H<sub>i</sub>gh信号を出力する働きをする。このように構成することにより、メモリカードがリーダライタ装置に接続され、電源が供給されると、パスワード照合回路13は、H<sub>i</sub>gh信号を出力し、その後パスワードが一致した場合、L<sub>o</sub>w信号を出力しつ

づけ、不一致の場合はH i g h信号を出力しつづける。  
【0022】この回路ではデータの幅を8ビットとしたが、16ビット、32ビット等にする場合はゲート401～ゲート408の数を増やせば簡単に実現できることは言うまでもない。また、設定パスワードを複数語にした場合は、図3(a)の回路を組合わせて実現すればよい。

【0023】図1で、具体的な回路の動作の説明をする。電源投入後、パスワード照合回路13と設定パスワードアドレス比較回路11からはH i g h信号が出力され、これが、ゲート16、ゲート17、ゲート18に入力される。ゲート16、ゲート17、ゲート18の出力は、他方の入力に係わらずH i g h信号を出力する。ゲート19は、ゲート16、ゲート17からのH i g h信号の入力を受け、H i g h信号を出力する。この結果ゲート19、ゲート18からのH i g h信号の出力が、半導体メモリ2の読み出し用制御信号2c、書き込み用制御信号2bに伝達され、半導体メモリ2は書き込み読み出しとも禁止状態になる。この回路では説明を簡単にするために、半導体メモリ2の全ての領域について書き込みと外部への読み出しを禁止しているが、半導体メモリ2をブロック分けして接続するなど回路を一部変更して半導体メモリ2の一部の領域のみを禁止したり、書き込みと外部への読み出しのどちらか一方だけを禁止することが可能なことは言うまでもない。

【0024】次に、この禁止状態を解除するためのパスワード照合方法について説明する。まず外部から、理一だライタ装置200を介して半導体メモリ2にある設定パスワード記憶領域201に、入力パスワードを書き込む動作を行なう。つまりコネクタ部1で、アドレス信号端子1aに半導体メモリ2にある設定パスワード記憶領域201のアドレスを、データ信号端子1eには入力パスワードを、書き込み用制御信号端子1bにはL o w信号を入力する。しかしながらこの時点では、前述通り半導体メモリ2の書き込み用制御信号端子2bにはH i g h信号が入力されているため、半導体メモリ2の内容が書き変ることはない。アドレス信号端子1aに入力されたアドレスは、設定パスワードアドレス比較回路11に伝達され、入力アドレスと設定パスワード記憶領域201のアドレスが一致すると、設定パスワードアドレス比較回路11からL o w信号が出力される。このL o w信号の信号がゲート16の入力に伝達される。ゲート16の他の入力は、書き込み用制御信号1bからのL o w信号、パスワード照合回路13からのH i g h信号が入力されるため、ゲート16の出力はL o w信号となる。このL o w信号がゲート19に伝達され、これによりゲート19の出力がL o w信号となる。このL o w信号の出力が半導体メモリ2の読み出し用制御信号端子2cに伝達され、半導体メモリ2は読み出し状態となり、設定パスワードが半導体メモリ2の端子2eから出力さ

れる。つまり、外部からの書き込み用制御信号をメモリ制御部3内で読み出し用制御信号に変換して、半導体メモリ2に伝達したことになる。

【0025】尚、ここで注意すべき点は、データ信号上でデータの衝突がないことである。パスワード照合回路13の出力がH i g h信号であるため、このH i g h信号がゲート14、ゲート15の入力に伝達され、この2つのゲートの出力が両方H i g h信号となり、このH i g h信号の信号がデータ入出力制御部30のゲート20と21のハイインピーダンス制御端子に入力される。これによりデータ信号線1eと2eがゲート20とゲート21で電気的に切れた状態になり、この結果、半導体メモリ2から出力された設定パスワードとコネクタ部1から入力された入力パスワードが、データ信号上でぶつかることはない。この設定パスワードと入力パスワードが、パスワード照合回路13で照合され、照合結果が一致の場合は、以後、パスワード照合回路13からL o w信号を出力し続ける。このL o w信号の出力が、ゲート14、ゲート15、ゲート16、ゲート17、ゲート18に入力され、これにより半導体メモリ2の書き込みおよび外部への読み出し禁止状態が解除される。

【0026】以上パスワード照合による、読み出し書き込み禁止状態解除の動作は図5のフローチャートのように表わすことができる。

【0027】該メモリカード100は、電源投入後(S51)、半導体メモリ2の一部または全部の領域が、書き込みと外部への読み出しの両方またはどちらか一方が禁止状態である(S52)。この禁止状態を解除するため、半導体メモリ2の設定パスワード記憶領域に入力パスワードを書き込む作業をおこなう(S53)。この作業をおこなうことにより、メモリ制御部3とパスワード照合部4が、入力パスワードと設定パスワードの照合をおこない(S54)一致していれば禁止状態を解除する(S55)が不一致の場合は読み出し、書き込み禁止状態が継続する。一度解除した後は、この状態は電源を遮断するまで継続する。この場合電源遮断後、再度電源を投入すると初期状態にもどり、半導体メモリ2の読み出し、書き込み禁止状態になる。

【0028】ところで、上記実施例においては、パスワードが一致すれば電源を遮断するまで読み書き禁止状態が継続するように構成しているが、このパスワード照合作業を、読み出し書き込みごとにおこなうようにすることも可能である。この場合、パスワード照合回路は図3(a)の出力端子e(out)を図3(b)に示される4ビットシフトレジスタで構成される回路の端子e(in)に接続した構成となる。これにより、データのセキュリティはさらに向上する。

【0029】尚、設定パスワードの変更は、前述のように禁止状態が解除されると、半導体メモリ2のすべての記憶領域が書き込みが可能となるため、半導体メ

モリ2の設定パスワード記憶領域のアドレスを指定してその内容を書き換えることによりおこなう。

【0030】次に第2実施例を図6に基いて説明する。図6において、図1と同じ部品は同一記号で示している。第一実施例では、電源投入後は、必ずパスワードの照合作業を行なわないと半導体メモリ2の書き込みおよび外部への読み出し禁止状態は解除されない。これを改良したのが本実施例である。

【0031】半導体メモリ2は、図7に示すように、設定パスワード記憶領域201、データ記憶領域202以外に、パスワード照合回路13の照合結果により半導体メモリ2の一部または全部の領域の書き込みと外部への読み出しの両方またはどちらか一方の禁止状態を解除するパスワード照合モードか、または前記照合結果によらずこの半導体メモリ2の全部の領域の書き込みと外部への読み出しの両方を始めから解除する標準モードか、の2つのモードを選択するための選択情報記憶領域203をもつ。

【0032】また、回路的には、外部から入力されたアドレスと半導体メモリ内の選択情報記憶領域203のアドレスとを比較し、一致した場合にLoW信号を出力する選択情報アドレス比較回路22からなる選択情報アドレス比較部3を有し、メモリ制御部3には、半導体メモリ2から読み出した選択情報の内容が、パスワード照合回路13の照合結果によらず2の半導体メモリの書き込みと外部への読み出しの両方を始めから解除することであれば、それ以後LoW信号を出力する選択情報照合回路25と、ゲート23、ゲート24を有するものである。

【0033】尚、選択情報アドレス比較部3は、設定パスワードアドレス比較回路11とほぼ同一の回路構成で実現可能であり、説明は省略する。また、選択情報照合回路25もまた'00(H)'を標準モードとする場合、ゲートの入力をデータ信号端子2eとするだけで設定アドレスアドレス比較回路11とほぼ同一の回路構成で実現可能である。

【0034】電源が投入されると、パスワード照合回路13と設定パスワードアドレス比較回路11からはHigh信号が出力され、これが、ゲート16、ゲート17、ゲート18に入力される。ゲート16、ゲート17、ゲート18の出力は、他方の入力に係わらずHigh信号を出力する。ゲート19は、ゲート16、ゲート17からのHigh信号の入力を受け、High信号を出力する。この結果ゲート19、ゲート18からのHigh信号の出力が、半導体メモリ2の読み出し用制御信号端子2a、書き込み用制御信号端子2bに伝達され、半導体メモリ2は書き込み読み出しとも禁止状態になる。

【0035】次に、リーダライタ装置200は半導体メモリ2にある選択情報記憶領域のアドレスを指定してその内容を読み出す作業を行なう。この禁止状態でも、半導体メモリ2にある選択情報記憶領域203の読み出し

は選択情報アドレス比較回路22がLoW信号を出力するため可能である。

【0036】具体的には、コネクタ部1で、アドレス信号入力端子1aに選択情報記憶領域203のアドレスを、読み出し用制御信号入力端子1cにはLoW信号を入力し、データ信号入出力端子1eから選択情報記憶領域203の内容を読み出す。

【0037】アドレス信号入力端子1aに入力された選択情報記憶領域203のアドレスは、選択情報アドレス比較回路22に伝達され、一致すればLoW信号を出力する。このLoW信号の出力を受けたゲート23は、パスワード照合回路13からの入力に係わらず出力がLoW信号となる。このLoW信号の出力と読み出し用制御信号からのLoW信号を受けたゲート17の出力は、LoW信号となり、ゲート19を通じて半導体メモリ2の読み出し用制御信号端子2cにLoW信号として伝達される。また、ゲート23のLoW信号の出力と、入出力制御回路12からのLoW信号の出力を受けたゲート15の出力がLoW信号となり、ゲート21のハイインビーダンス制御端子に入力される。これによりデータ信号は出力方向となる。このようにして、2の半導体メモリにある選択情報記憶領域の内容が、コネクタ部1を通してリーダライタ装置200に出力される。

【0038】また、同時にこの選択情報記憶領域の内容は、選択情報照合回路25に伝達され、この選択情報記憶領域の内容が、標準モードを指示するものであれば、選択情報照合回路25がLoW信号を出力する。このLoW信号の出力は、ゲート24に伝達され、ゲート24の出力をLoW信号にし、その後段のゲート14、ゲート16、ゲート17、ゲート18、ゲート23、ゲート15の入力をLoW信号にする。これによりコネクタ部1から入力される書き込み制御信号端子1b、読み出し用制御信号端子1cの入力レベルが、そのまま半導体メモリ2の書き込み用制御信号端子2b、読み出し用制御信号端子2cに伝達されることになり、半導体メモリ2の書き込みおよび外部への読み出し禁止状態が解除される。

【0039】また、この選択情報記憶領域の内容が、パスワード照合モードを指示するものであれば、この選択情報照合回路25の出力はHigh信号となり、禁止状態の解除はパスワード照合回路13の照合結果によることとなる。

【0040】以上の動作は図8のフローチャートのように表すことができる。メモリカード100は、電源投入後(S81)、半導体メモリ2の一部または全部の領域が、書き込みと外部への読み出しの両方またはどちらか一方が禁止状態である(S82)。

【0041】次に半導体メモリ2にある選択情報記憶領域の内容を読み出し(S83)。この内容が標準モードを指示するものであれば、パスワードの照合作業をとば

し、すぐに読み出し書き込み禁止状態を解除する(S87)。パスワード照合モードを指示するものあれば、図5と同じ動作をおこなう(S85～S87)。

【0042】日本電子工業振興協会発行の半導体記憶装置の一種であるメモリカードの標準規格(例えば、ICメモリカードガイドラインVer.4.1)には、電源投入後、最初にメモリカードの属性情報等が記憶されているアトリビュートメモリの先頭アドレスである'0(H)'番地を読み出すことになっている。そしてこのアドレス'0(H)'番地には、デバイス情報すタブルIDであるデータ'01(H)'か、無効のタブルIDであるデータ'00(H)'か、タブル連鎖終了タブルIDであるデータ'FF(H)'のどれかであることが規定されている。もしアドレス'0(H)'番地のデータが、無効のタブルIDであるデータ'00(H)'であれば、次のアドレスである'01(H)'番地のデータを読み出すことになり、このデータも前述の3種類でなければならない。

【0043】このためメモリカードを使ったシステムでは、必ず最初にアドレス'0(H)'番地を読み出すことになる。従って、選択情報記憶領域203を図7に示すように半導体メモリ2の先頭アドレスである'0(H)'番地に配置すれば、特にリーダライタ装置200のソフトの変更を行なわなくてもアドレス'0(H)'番地を最初に読み出し、選択情報記憶領域の内容を選択情報照合回路25に伝達することができる。アドレス'0(H)'番地に無効のタブルIDであるデータ'00(H)'を書いて、アドレス'01(H)'番地に選択情報を書いても同じ効果が得られる。

【0044】また、選択情報記憶領域の内容が、データ'01(H)'の時、パスワード照合回路13の照合結果によらずこの半導体メモリの一部または全部の領域の書き込みと外部への読み出しの両方またはどちらか一方を始めから解除するという意味にすれば、この選択情報記憶領域を読み出したシステムはこのメモリカードを標準規格のメモリカードとして認識し、しかもこの作業により同時に禁止状態の解除もできる。

【0045】従って、1台のリーダライタ装置でソフトの変更をすることなく、本発明のメモリカードと前記規格仕様のメモリカードの双方に使用することができるというメリットがある。

【0046】この場合当然、選択情報のデータが、データ'01(H)'以外の時は、パスワード照合回路13の照合結果によりこの半導体メモリの書き込みと読み出しの禁止状態を解除するという意味になる。同様に、データ'00(H)'またはデータ'FF(H)'を、パスワード照合回路13の照合結果によらずこの半導体メモリ2の全部の領域の書き込みと読み出しを始めから解除するという意味にし、データ'00(H)'以外、またはデータ'FF(H)'以外の時に、パスワード照合回路1

3の照合結果によりこの半導体メモリの書き込みと読み出しの禁止状態を解除するという意味にしても、同じ効果が得られる。

【0047】図9は本発明の第3実施例を表すものであり、第1実施例に、パスワードの照合作業の回数をカウントするカウンタ26とゲート27をパスワード照合部4に付加し、一定回数以上照合作業をおこなうと、それ以後は、たとえ照合結果が一致しても禁止状態を解除できなくなるものである。図9において、図1と同一部品は同じ記号で示している。カウンタ26はその出力が、一定回数未満の時はLow信号出力、一定回数以上の時はHigh信号出力となるように構成されている。

【0048】これにより、パスワードを知らない人が、何回もパスワードの入力を試みることにより正しいパスワードを知り、メモリカードのデータを不正に読み出したり書き込んだりする行為を防ぐことができる。

【0049】尚、前述した第2実施例に、本実施例におけるカウンタ回路26、ゲート27を付加することも可能である。

【0050】図10は、本発明の第4実施例を示すものであり半導体メモリ2に電池でのバックアップが必要な揮発性メモリを用いたものであり、この電池をはずすことで、揮発性メモリのデータ内容は消えるが、同時に半導体メモリ2の書き込みまたは外部への読み出し禁止状態を解除できるようにしたメモリカードの回路図である。図10において、図1と同一部品は同じ記号で示している。

【0051】ここで、コネクタ部1の電源端子1fは半導体メモリ2の電源端子2fにダイオード33を介して接続されている。この端子2fには電池31もダイオードを介して接続されている。電池31にはさらにゲート29を介して、パスワード照合回路13の出力を入力とするゲート28に接続され、ゲート28の出力はゲート14～18に供給されるように構成されている。

【0052】電池31をはずすと、ゲート29の出力がHigh信号からLow信号になる。この出力を受けたゲート28の出力がLow信号となり、禁止状態が解除される。これによりパスワードを忘れた場合、電池をはずすことにより揮発性の半導体メモリの内容は消えてしまうが、これにより書き込みおよび読み出し禁止状態が解除されるので、メモリカード自体は再度使用することができる。揮発性の半導体メモリの内容が消えるので、この揮発性の半導体メモリの内容が他人に知れることもない。

【0053】ダイオード32は電池31とコネクタ部1の電源端子1fから供給される電源とを切換える働きをし、これにより半導体メモリ2の電源2fにどちらかの電圧が供給される。またダイオード33は、電池31の電流がコネクタ部1の電源1fに逆流することを防止している。抵抗30は、電池31をはずした時にゲート2

9の入力をL o w信号にする。

【0054】尚、本実施例について、第2実施例のごとき選択情報でモードをきりかえる構成や第3実施例の如き誤り回収を記録するカウンタ回路を設ける構成を付加することで、さらに高機能なメモリカードを実施することも可能である。

【0055】上記実施例では、書き込み用制御信号入力端子1 bを利用して設定バースワードの入力を行なったが、信号線に余裕があれば、書き込み用制御信号入力端子1 bとは別に設定バースワード入力信号用端子1 g(図示せず)をコネクタ部1に設け、これにより設定バースワードの入力をおこなっても同じ効果が得られる。

【0056】図11は御発明の第5実施例を示すものであり、メモリ2にデータの読み書き可能な不揮発性メモリを用いたものである。なお、本図において、前記第1実施例と同一部品については同一記号で示してある。

【0057】本実施例が第1実施例と異なる点は半導体メモリ2にフラッシュメモリを用いた点と、リセットコマンド比較回路32に、リセット回路33を設けた点にある。

【0058】リセットコマンド比較回路32はリーダライタ装置200から入力されたコマンドが、リセットコマンドか否かを判定し、一致した場合、一致信号を出力するものであり、データ信号のやりとりを行う端子1 eとリセット回路33に接続されている。

【0059】リセット回路33はリセットコマンド比較回路32の一致信号に応じて半導体メモリ2のデータ記憶領域202と設定バースワード記憶領域201の内容を消去するものであり、CPUとリセットフローの記憶されたメモリとから構成されている。リセット回路はアドレス信号端子2 a、データ信号端子2 e、書き込み制御信号線2 b及び読み出し制御信号線2 cとバースワード照合部4に接続されている。

【0060】次に本実施例の動作について図11及び図12を用いて説明する。

【0061】まず、リーダライタ装置200よりリセットコマンドを半導体メモリ2に書き込む動作が指示された場合、リセットコマンド比較回路32はデータI/O端子1 eからのデータがリセットコマンドか否かを判定する。リセットコマンド比較回路32において、入力データがリセットコマンドと判定された場合、一致信号をリセット回路33に送出する。リセット回路33はリセットコマンド比較回路32からの一致信号を受領すると、その内部のCPUは図12に示されるフローに従って動作する。なお、リセット回路33は通常バースワード照合部4に対してHIGH信号を出力している。

【0062】まず、リセット回路33はチップイレイズコマンドをフラッシュメモリ2に送出する(S101)。これにより、フラッシュメモリ2の内部ではバースワード並びにデータの消去処理が開始される。そして、

消去処理が完了したか否かをメモリからの状態信号を監視することにより判定する(S102)。完了していないと判断した場合、フラッシュメモリの消去処理中にエラーが発生したか否かを判定し(S105)、エラーが発生していないと判定した場合、S102に戻り、監視を継続する。

【0063】S102において消去処理が完了したと判定された場合、バースワード照合部4にLOW信号を出力し(S103)、処理を終了する。これにより書き込み読みだしの禁止状態が強制的に解除される。

【0064】一方、S105において、エラーが発生したと判定された場合、バースワード照合部4にHIGH信号を出力し続け、読み書き禁止状態が継続する。

【0065】このように、本実施例では、フラッシュメモリ2の全体の消去を行うことにより、強制的に読み書き禁止状態を解除するよう構成されているため、仮にカード所有者がバースワードを忘れてても、記憶データの消去と引替えにカードの使用を復活できる。

【0066】以上、本発明をメモリカードに適用した実施例について説明してきたが、本発明はこれに限定されるものではなく、メモリバック、半導体ディスク等いわゆる半導体装置一般に適用できることはいうまでもない。

【0067】

【発明の効果】以上説明したように本発明によれば、簡単、小型、安価な回路手段で、マイコンを有しないいわゆるメモリカードにおいて、内部にマイコンを有するICカードと同様にデータ保護の機能を持たせることできる。また、バースワードを使用したデータの書き込み及び読み出しの保護が実現でき、これにより記憶データの機密保守、記憶データの破壊等の防止を可能とした大記憶容量でコンパクトな半導体記憶装置を安価に提供することができる。

【図面の簡単な説明】

【図1】本発明によるメモリカードの第1実施例を示すプロック図である。

【図2】設定バースワードアドレス比較回路の一実施例を示す回路図である。

【図3】バースワード照合回路の一実施例を示す回路図である。

【図4】メモリカードの半導体メモリのメモリ構成図である。

【図5】メモリカードの処理手順を示すフロー図である。

【図6】メモリカードの第2実施例を示すプロック図である。

【図7】メモリカードの半導体メモリのメモリ構成図である。

【図8】メモリカードの処理手順を示すフロー図である。

【図9】メモリカードの第3実施例を示すプロック図である。

ある。

【図10】半導体記憶装置の第4実施例を示すブロック図である。

【図11】半導体記憶装置の第5実施例を示すブロック図である。

【図12】第5実施例の処理手順を示すフロー図である。

【符号の説明】

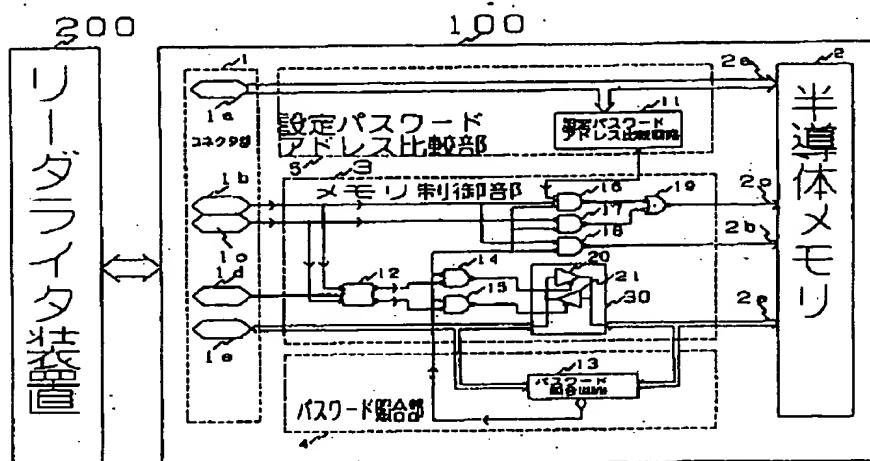
- 1 コネクタ部
- 2 半導体メモリ
- 3 メモリ制御部

\* 4 パスワード照合部

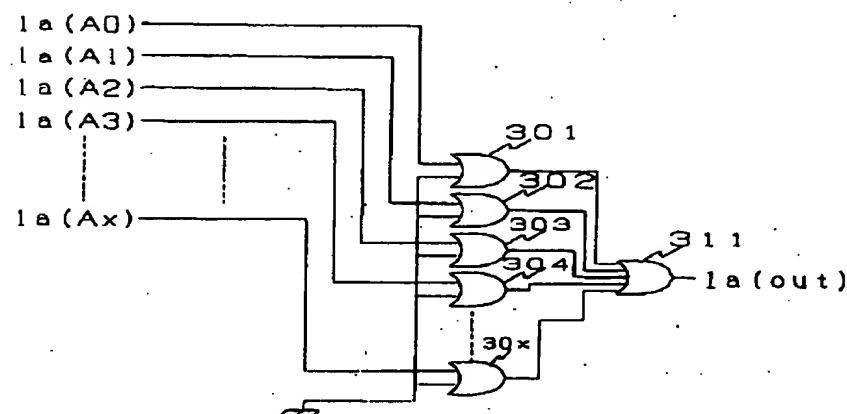
- 11 設定パスワード比較回路
- 12 入出力制御回路
- 100 メモリカード
- 200 メモリカード用リーダライタ装置
- 22 選択情報アドレス比較回路
- 25 選択情報照合回路
- 26 カウンタ回路
- 30 電池
- 10 31 抵抗
- \*

\*

【図1】

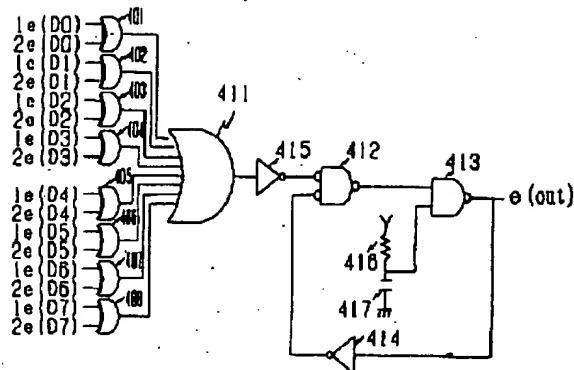


【図2】

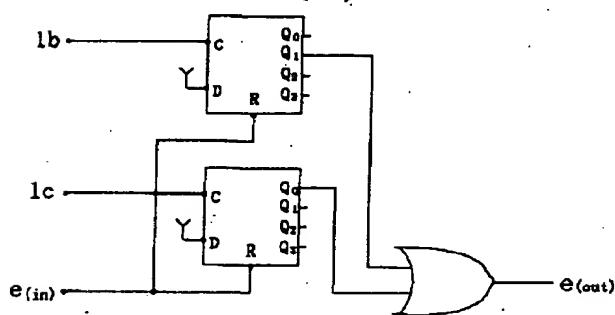


【図3】

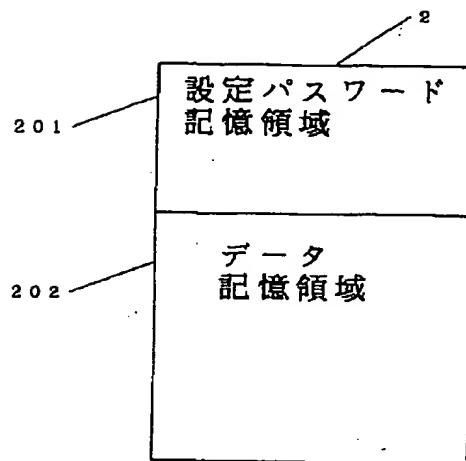
(a)



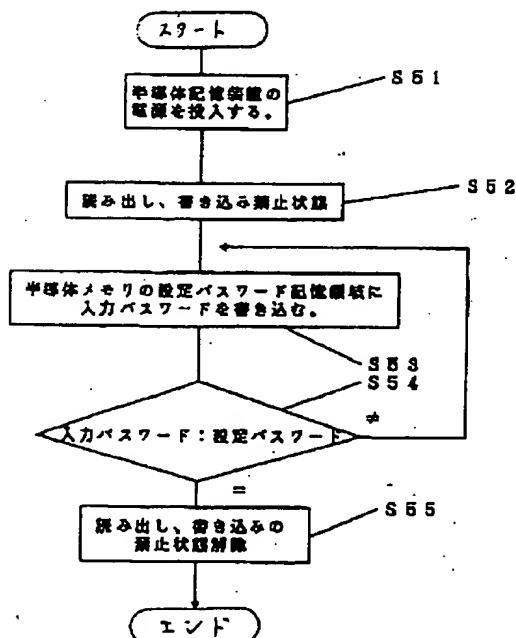
(b)



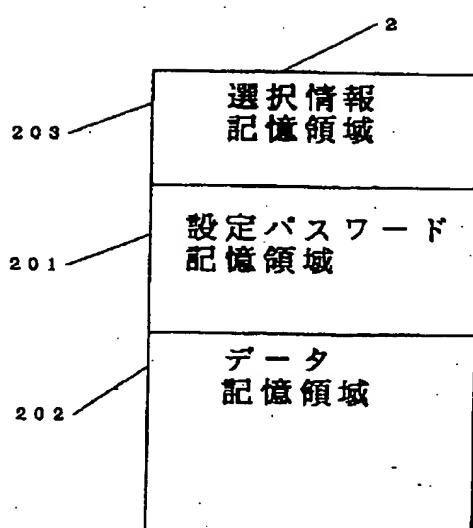
【図4】



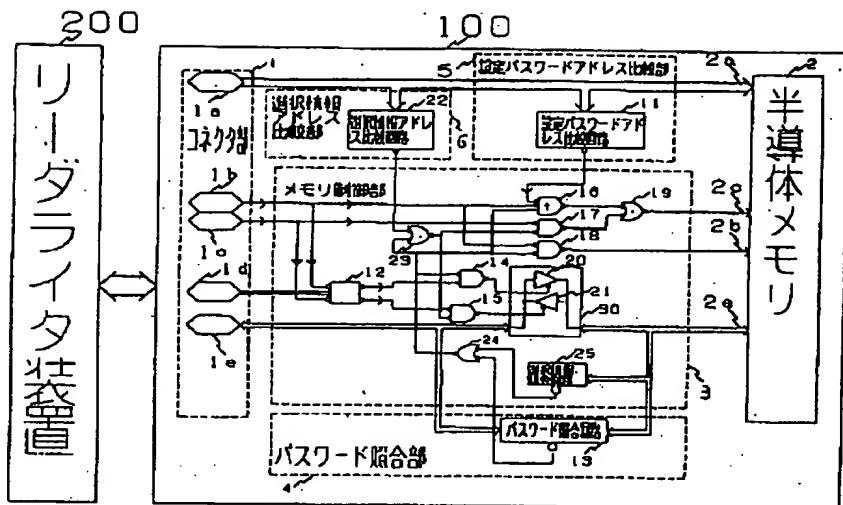
【図5】



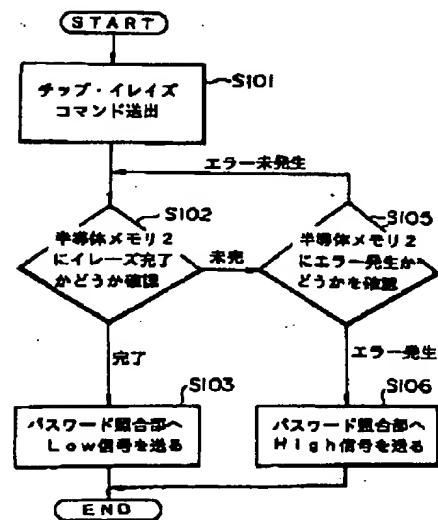
【図7】



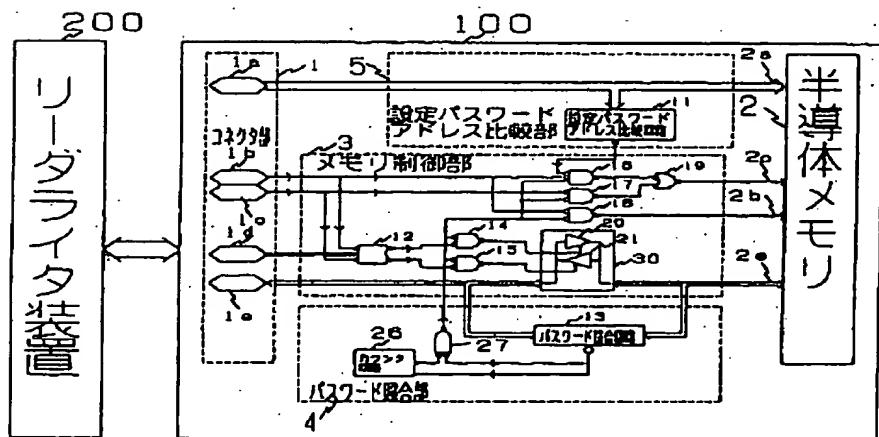
【図6】



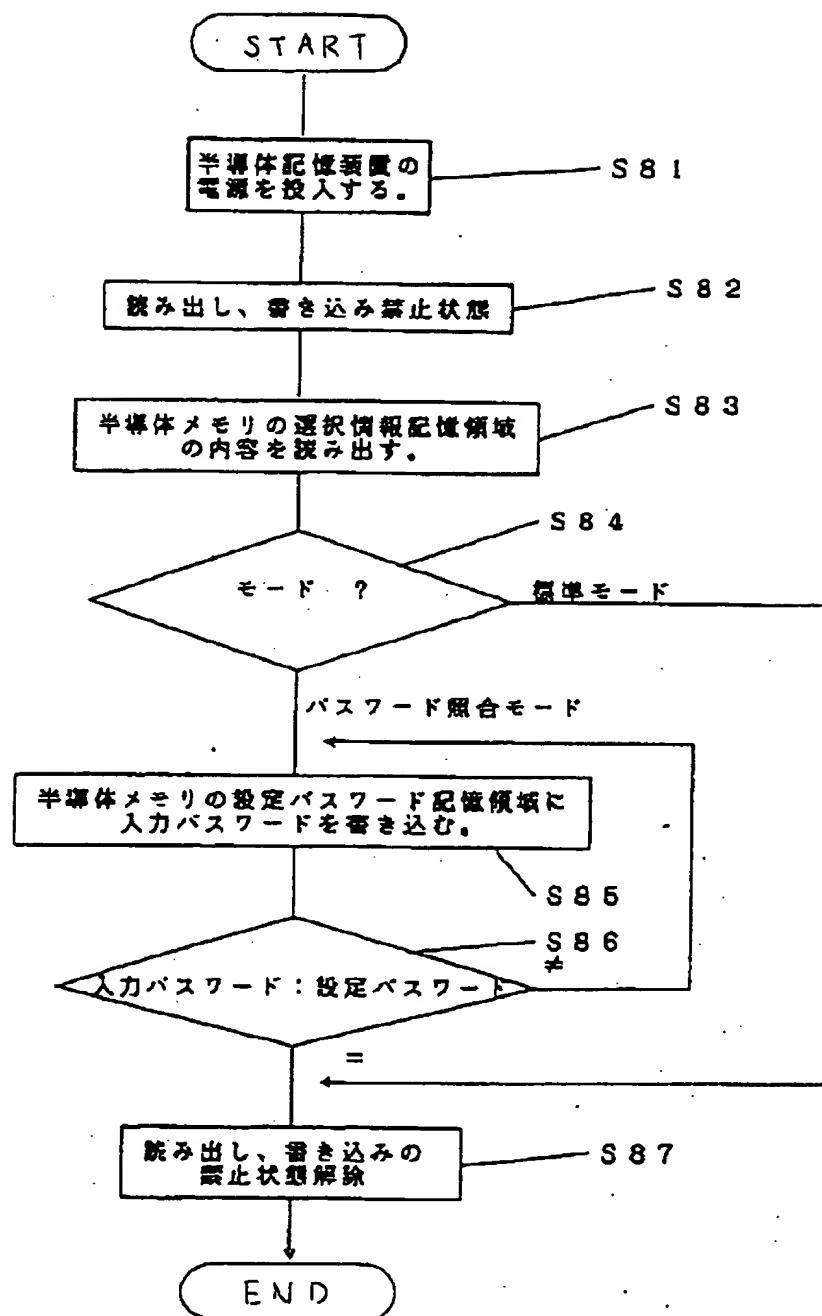
【図12】



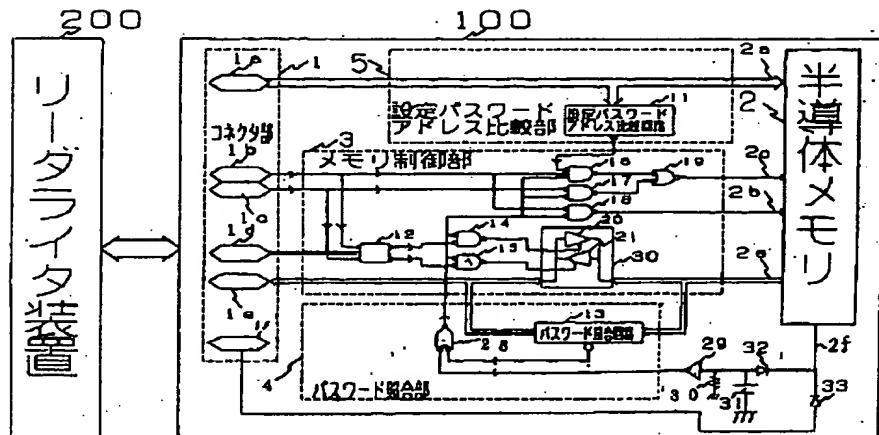
【図9】



【図8】



【図10】



【図11】

